

Re PCT/PTO 22 JUL 2005

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-221863

(43)Date of publication of application : 06.11.1985

(51)Int.Cl.

G06F 15/16

G06F 13/18

(21)Application number : 59-077973

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 18.04.1984

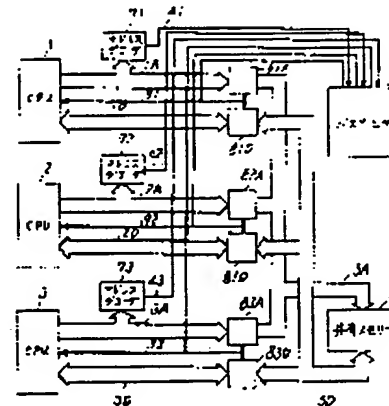
(72)Inventor : FURUKAWA TETSUO  
SENDA MINORU

## (54) CONTROL METHOD OF COMMON MEMORY

## (57)Abstract:

**PURPOSE:** To curtail remarkably the number of parts by controlling plural microprocessors so that a memory cycle of the microprocessor is completed by using one bus arbiter.

**CONSTITUTION:** When a CPU1 outputs an address signal of a common memory 5 to an address bus 1A, an address decoder 71 outputs a use necessary signal 41 of the common memory 5 to a bus arbiter 6. This arbiter 6 always checks the use necessary signal of the common memory 5, and outputs a use permitting signal 91 corresponding to its input when a use request is received. By this signal 91, an address bus 5A of the common memory 5 and an address bus 1A of the CPU1, and a data bus 5D of the common memory 5 and a data bus 1D of the CPU are coupled directly, respectively, the CPU1 can utilize the common memory 5, and the signal 91 completes a memory cycle of the CPU1. Also, in case CPU2 and a CPU3 utilize the common memory 5, the signal 91 is outputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-221863

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)11月6日

G 06 F 15/16  
13/18

F-6619-5B  
7165-5B

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 共有メモリーの制御方法

⑯ 特 願 昭59-77973

⑰ 出 願 昭59(1984)4月18日

⑱ 発 明 者 古 川 哲 夫 横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

⑲ 発 明 者 千 田 実 横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

⑳ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

㉑ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

共有メモリーの制御方法

2. 特許請求の範囲

メモリーサイクルの延長のできる複数のマイクロプロセッサと、個々のマイクロプロセッサに対応したアドレスデコーダと、個々のマイクロプロセッサに対応したバス用ゲートと、1組の共有メモリーと、1つのバスアービターとからなり、個々のアドレスデコーダの出力を、共有メモリーの利用要求としてバスアービターに入力し、バスアービターからは唯一つのマイクロプロセッサにのみ、共有メモリーの利用権を与えて、そのメモリーサイクルを完了させ、その間同時に共有メモリーの利用要求が出ているマイクロプロセッサのメモリーサイクルは完了させず、バスアービターの調停機能により、1つづつマイクロプロセッサのメモリーサイクルを完了させていくようにした共有メモリーの制御方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、複数のマイクロプロセッサを使用する電子交換機などの制御装置において、親となるマイクロプロセッサと、子となる複数のマイクロプロセッサ間のデータ通信に使用する共有メモリーの制御方法に関するものである。

従来例の構成とその問題点

第1図は、従来用いられてきた共有メモリーの制御方法を用いた、親となるマイクロプロセッサと、2つの子となるマイクロプロセッサ及び2つの共有メモリー装置を示している。

以下にこの従来例の構成について第1図とともに説明する。0は親となるマイクロプロセッサ(以下親CPUと記す)、1及び2は子となるマイクロプロセッサ(以下、子CPUと記す)である。51は親CPU0と子CPU1との共有メモリーであり、52は親CPU0と子CPU2との共有メモリーである。61は親CPU0と子CPU1とのセマフォレジスタであり、62は親CPU0と子CPU2とのセマフォレジスタである。

70は親CPU0のアドレスデコーダ、71は子CPU1のアドレスデコーダ、72は子CPU2のアドレスデコーダである。801Aは親CPU0が共有メモリ51を利用するとき開く、アドレスバス用ゲート、802Aは、親CPU0が共有メモリ52を利用するとき開く、アドレスバス用ゲート、81Aは子CPU1が共有メモリ51を利用するとき開く、アドレスバス用ゲート、82Aは子CPU2が共有メモリ52を利用するとき開く、アドレスバス用ゲートである。

801Dは親CPU0が共有メモリ51を利用するとき開く、データバス用ゲート、802Dは親CPU0が共有メモリ52を利用するとき開く、データバス用ゲート、81Dは子CPU1が共有メモリ51を利用するとき開く、データバス用ゲート、82Dは子CPU2が共有メモリ52を利用するとき開く、データバス用ゲートである。親CPU0のアドレスバス0Aはアドレスデコーダ70、ゲート801A及びゲート802Aに接続されている。また、親CPU0のデータ

バス0Dはセマフォレジスタ61、セマフォレジスタ62、ゲート801D及び802Dに接続されている。子CPU1のアドレスバス1Aはアドレスデコーダ71及びゲート81Aに接続されており、また子CPU1のデコーダバス1Dはセマフォレジスタ61及びゲート81Dに接続されている。子CPU2のアドレスバス2Aはアドレスデコーダ72及びゲート82Aに接続されており、また子CPU2のデータバス2Dは、セマフォレジスタ62及びゲート82Dに接続されている。共有メモリ51のアドレスバス51Aはゲート801A及びゲート81Aに接続されており、また共有メモリ51のデータバス51Dはゲート801D及びゲート81Dに接続されている。共有メモリ52のアドレスバス52Aはゲート802A及びゲート82Aに接続されており、また共有メモリ52のデータバス52Dはゲート802D及びゲート82Dに接続されている。アドレスデコーダ70の出力は共有メモリ51の選択信号901が、ゲート801A及びゲート

801Dの制御端子に接続され、セマフォレジスタ61の選択信号902がセマフォレジスタ61に接続され、共有メモリ52の選択信号903がゲート802A及びゲート802Dの制御端子に接続され、さらにセマフォレジスタ62の選択信号904がセマフォレジスタ62に接続されている。アドレスデコーダ71の出力は共有メモリ51の選択信号911がゲート81A及びゲート81Dの制御端子に接続され、セマフォレジスタ61の選択信号912がセマフォレジスタ61に接続されている。アドレスデコーダ72の出力は、共有メモリ52の選択信号921がゲート82A及びゲート82Dの制御端子に接続され、セマフォレジスタ62の選択信号922がセマフォレジスタ62に接続されている。

次に、上記従来例の動作について説明する。第1図において、親CPU0が共有メモリ51にデータを書き込み、子CPU1がデータを共有メモリ51から読み出す場合の制御方法を説明す

る。

親CPU0は、セマフォレジスタ61からデータを読み出し、子CPU1が共有メモリ51を利用していないことを確認する。このとき、子CPU1が共有メモリ51を利用中である場合はセマフォレジスタ61を再度読み出し、子CPU1が共有メモリ51の利用をやめるまで待たなければならない。次に、親CPU0は、セマフォレジスタ61に共有メモリを利用中であることを示すデータを書き込む。この手順により親CPU0は、共有メモリ51に対する利用権を確立したことになり、共有メモリ51へのデータ書き込み、もしくは共有メモリ51からデータ読み出しが自由にできるものとする。このとき、親CPU0が共有メモリ51を利用すると、アドレスデコーダ70からは共有メモリ51の選択信号が出力され、アドレスバス用ゲート801A及びデータバス用ゲート801Dが開かれ、親CPU0のアドレスバス0Aは共有メモリ51のアドレスバス51Aに直結され、また、親CPU

0のデータバス0Dも共有メモリー51のデータバス51Dに直結され、その結果親CPU0は共有メモリー51を利用することができる。親CPU0が共有メモリー51の利用を終了したときは、セマフォレジスタ61に共有メモリーを利用していないことを示すデータを書き込み、共有メモリー51の利用権を放棄する。

これとは逆に、子CPU1が共有メモリー51を利用するときは、親CPU0が行なったのと全く同様の手続きで、共有メモリー51を利用する。すなわち、子CPU1はセマフォレジスタ61からデータを読み出し、親CPU0が共有メモリー51を利用していないことを確認する。このとき、親CPU0が共有メモリー51を利用中である場合は、セマフォレジスタ61を再度読み出し、親CPU0が共有メモリー51の利用権を放棄するまで待たなければならない。

親CPU0が共有メモリー51を利用していないければ、次に子CPU1はセマフォレジスタ61に、共有メモリーを利用中であることを示すデ

ータを書き込む。この手順により子CPU1は、共有メモリー51に対する利用権を確立したことになる。共有メモリー51へのデータ書き込みもしくは共有メモリー51からのデータ読み出しが自由にできるものとする。このとき子CPU1が共有メモリー51を利用すると、アドレスデコーダ71からは、共有メモリー51の選択信号が出力され、アドレスバス用ゲート81A及びデータバス用ゲート81Dが開かれ、子CPU0のアドレスバス1Aは共有メモリー51のアドレスバス51Aに直結され、また、子CPU1のデータバス1Dも共有メモリー51のデータバス51Dに直結され、子CPU0は共有メモリー51を利用することができる。子CPU1が共有メモリー51の利用を終了したときは、セマフォレジスタ61に共有メモリーを利用していないことを示すデータを書き込み、共有メモリー51の利用権を放棄する。

以上の様に、親CPU0と子CPU1はセマフォレジスタ61を通して共有メモリー51を交互

に利用するので、ゲート801A及び81A、またゲート801D及び81Dが同時に開いて、バスが競合するのを避けることができる。

以上の動作説明は、親CPU0と子CPU2との間にある共有メモリー52の制御についても同様である。しかしながら、上記従来例においては親CPUと1つの子CPUの組に対応してセマフォレジスタ、共有メモリー、アドレスバス用ゲート及びデータバス用のゲートを必要とするため、子CPUの数に比例して、これらの部品が増え、コスト高になる欠点があった。また一方では、子CPU同志の間でデータ通信を行なおうとした場合、子CPU同志間に共有メモリーを設けるか、あるいは親CPUに共有メモリー間のデータ転送を行なってもらわねばならず、コスト高もしくは複雑な制御が必要となっている。

#### 発明の目的

本発明は、上記従来例の欠点を除去するものであり、部品点数を減らし、コスト低減を図った上にさらに、相互のマイクロプロセッサ間のデ

ータ通信も複雑な制御なしに行なうことができるようにすることを目的とするものである。

#### 発明の構成

本発明は、上記目的を達成するために、1つの共有メモリーを複数のマイクロプロセッサが利用できるようにしたもので、この際問題となるバスの競合をバスアービターで調停することにより、セマフォレジスタを不要とし、その結果として大幅な部品点数の削減を図ることができるようにしたものである。

#### 実施例の説明

以下に本発明の一実施例の構成について、図面とともに説明する。

第2図において、1、2、3はメモリーサイクルの延長のできるマイクロプロセッサ（以下、CPUと記す）である。5は共有メモリー、6はバスアービター、71、72、73はそれぞれCPU1、2、3に対応したアドレスデコーダである。81A、82A、83AはそれぞれCPU1、2、3のアドレスバス1A、2A、3Aと共有メモリ

ー5のアドレスバス5Aとの間に設けられたゲートであり、81D、82D、83Dは、それぞれCPU1、2、3のデータバス1D、2D、3Dと共有メモリ5のデータバス5Dとの間に設けられたゲートである。41、42、43は、それぞれCPU1、2、3に対応したアドレスデコーダ71、72、73より出力された、共有メモリーの利用要求信号であり、バスアービター6に入力される。また、91、92、93はバスアービター6から出力される共有メモリーの利用許可信号であり、91はCPU1のメモリーサイクルの完了を制御すると共に、ゲート81A、81Dを開く制御も行う。92はCPU2のメモリーサイクルの完了と、ゲート82A、82Dの制御を、93はCPU3のメモリーサイクルの完了と、ゲート83A、83Dの制御を行なう。

次に、上記実施例の動作について説明する。第2図において、CPU1が共有メモリ5を利用しようとして、アドレスバス1Aに、共有メモリーのアドレス信号を出力すると、アドレスデコー

ダ71の出力信号41が出力されるが、バスアービター6は第3図の様な構成となっているので、共有メモリーの利用許可信号は91にしか出力されない。従って、CPU1のアドレスバス用ゲート81A及びデータバス用ゲート81Dしか開かれなないので、バスの競合は起こらない。

共有メモリーの利用許可信号91により、前述の如くCPU1のメモリーサイクルが完了する。この間、CPU2及びCPU3には共有メモリーの利用許可信号が無いので、メモリーサイクルは延長され、共有メモリーの利用が待たされる。

CPU1のメモリーサイクルが完了すると残された利用要求信号42及び43とから、バスアービター6は共有メモリーの利用許可信号92を出力し、CPU2に対し共有メモリーの利用を可能にする。CPU2がメモリーサイクルを完了すると、バスアービター6は、共有メモリーの利用許可信号93を出力し、CPU3に共有メモリーを利用させ、メモリーサイクルを完了させる。

ダ71は間もなくバスアービター6に対し、共有メモリーの利用要求信号41を出力する。バスアービター6は常に共有メモリーの利用要求信号をチェックしており、利用要求があればその入力に対応した利用許可信号91を出力する。共有メモリー利用許可信号91により、アドレスバス用のゲート81A及びデータバス用ゲート81Dが開かれ、それぞれ共有メモリ5のアドレスバス5AとCPU1のアドレスバス1A、共有メモリ5のデータバス5DとCPU1のデータバス1Dが直結され、CPU1が共有メモリ5を利用することができるようになる。一方、共有メモリーの利用許可信号91は、CPU1のメモリーサイクルを完了させる。CPU2またはCPU3が共有メモリ5を利用する場合も、同様な動作が行なわれる。

次に、CPU1、CPU2およびCPU3が同時に、共有メモリ5を利用しようとした場合、それぞれのCPUのアドレスバスを通じ、アドレスデコーダ71、72および73から、共有メモ

次に第3図を用いて、バスアービターの構成と動作を説明する。第3図において、61はプライオリティエンコーダといわれる論理回路であり、入力には共有メモリーの利用要求信号が使用される。そして、その入力と出力の関係は第4図に示す通りである。62はデコーダといわれる論理回路であり、入力端にはプライオリティエンコーダ61の出力端が接続されており、デコード出力は共有メモリーの利用許可信号として使われる。すなわち、この場合の入力と出力の関係は第5図に示す通りである。

今、プライオリティエンコーダ61の入力のうち、1つだけに共有メモリーの利用要求信号が入った場合には、その入力に対応した第4図に示すエンコード出力が出力され、その出力はデコーダ62を通して第5図に示すようにデコードされるので、共有メモリーの利用要求に対応した利用許可が出される。

次に、プライオリティエンコーダ61の入力に、共有メモリーの複数の利用要求信号が入った場合

は、優先度の高い入力のみがエンコードされ、デコーダ62に送られる。従って、前述の説明の如く順番に共有メモリーの利用許可が出る。

#### 発明の効果

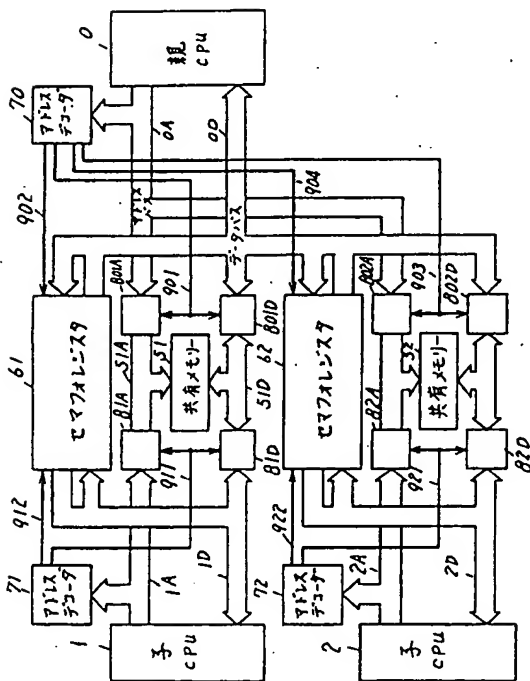
以上、実施例より明らかなように本発明は、複数のマイクロプロセッサに対し、簡単な1つのバスアービターを用いて、マイクロプロセッサのメモリーサイクルの完了制御するようにしたものであり、1組の共有メモリーを、複数のマイクロプロセッサ間で共有でき、従来にくらべ大幅に部品点数を削減することができ、コストの大幅な低減が可能であるという利点を有する。そして本発明によれば、従来のようにセマフォレジスタを全く必要とせず、したがってマイクロプロセッサのプログラミングに際しても共有メモリーの利用権を獲得、放棄のための処理をいちいち設ける必要がなくなり、全体としてそのプログラムが非常に簡単になるという利点を有する。

#### 4. 図面の簡単な説明

第1図は従来の共有メモリーの制御方法を説明

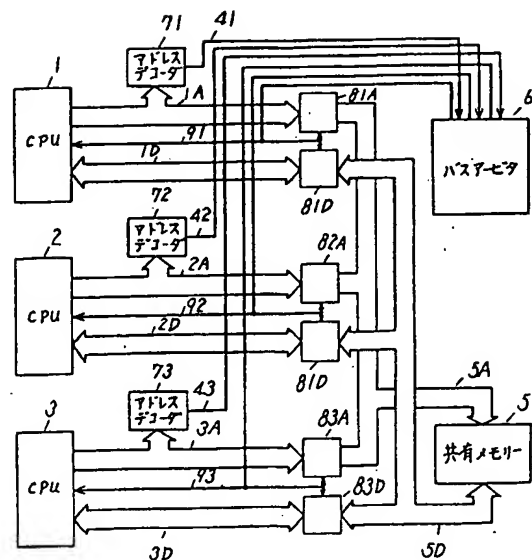
するためのブロック図、第2図は本発明の一実施例における共有メモリーの制御方法を示したブロック図、第3図は上記実施例に使用するバスアービターのブロック図、第4図、第5図はそれぞれバスアービターに使用するプライオリティエンコーダ及びデコーダの真理値を示す説明図である。1, 2, 3...CPU、5...共有メモリー、6...バスアービター、71, 72, 73...アドレスデコーダ、81A, 82A, 83A, 81D, 82D, 83D...ゲート、41, 42, 43...共有メモリー利用要求信号、91, 92, 93...共有メモリー利用許可信号、1A, 2A, 3A, 5A...アドレスバス、1D, 2D, 3D, 5D...データバス、61...プライオリティエンコーダ、62...デコーダ。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

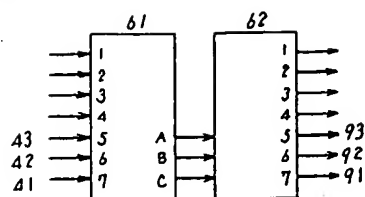


第1図

第2図



第 3 図



第 4 図

入 力							出 力		
1	2	3	4	5	6	7	A	B	C
0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0
x	1	0	0	0	0	0	0	1	0
x	x	1	0	0	0	0	1	1	0
x	x	x	1	0	0	0	0	0	1
x	x	x	x	1	0	0	1	0	1
x	x	x	x	x	1	0	0	1	1
x	x	x	x	x	x	1	1	1	1

第 5 図

入 力			出 力						
A	B	C	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0
0	1	0	0	1	0	0	0	0	0
1	1	0	0	0	1	0	0	0	0
0	0	1	0	0	0	1	0	0	0
1	0	1	0	0	0	0	1	0	0
0	1	1	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	1